

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# EUROPEAN PATENT OFFICE

P2001, 0629

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06152347  
PUBLICATION DATE : 31-05-94

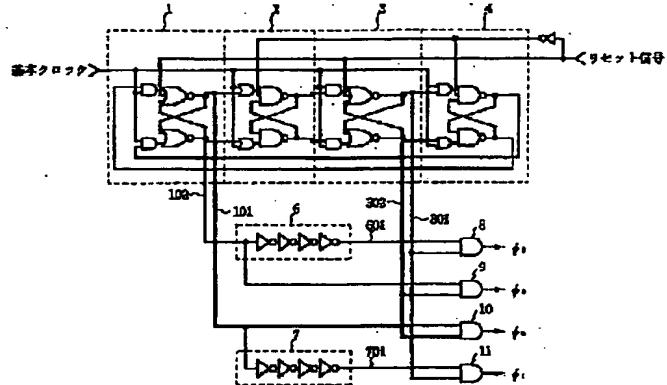
APPLICATION DATE : 13-11-92  
APPLICATION NUMBER : 04303433

APPLICANT : NEC CORP;

INVENTOR : KAWAI SHUICHI

INT.CL. : H03K 5/15 G06F 1/06 G06F 15/78  
H03K 5/06 H03K 5/13

**TITLE : MULTI-PHASE CLOCK GENERATING CIRCUIT**



**ABSTRACT :** PURPOSE: To generate a multi-phase clock having different clock pulse width in each phase without changing the period of the multi-phase clock even when power supply voltage is changed.

**CONSTITUTION:** This multi-phase clock generating circuit has cascade-connected FFs 1 to 4 for inputting a reference clock, dividing the frequency of the input signal and allowing to be reset by a reset signal, output signals 101, 302 from the FFs 1, 3 are inputted to an AND gate 10, its output signal is outputted as a clock  $\varphi_1$ , a signal 701 obtained by delaying the output signal, 101 through a delay circuit 7 and an output signal 301 from the FF 3 are inputted to an AND gate 11, and the output signal of the gate 11 is outputted as a clock  $\varphi_1$ . A signal 601 obtained by delaying an output 102 from the FF1 through a delay circuit 5 and the output signal, 301 of the FF 3 are inputted to an AND gate 8 and an output signal from the gate 8 is outputted as a clock  $\varphi_2$ . The output signal 102 of the FF 1 and the output signal 301 of the FF 3 are inputted to an AND gate 9 and an output signal from the gate 9 is outputted as a clock  $\varphi_3$  so as to obtain a multi-phase clock signal.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-152347

(43)公開日 平成6年(1994)5月31日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 5/15	G	7402-5J		
G 06 F 1/06				
15/78	5 1 0 P	7323-5L		
H 03 K 5/06		4239-5J		
		7165-5B	G 06 F 1/04	3 1 1 Z

審査請求 未請求 請求項の数2(全7頁) 最終頁に続く

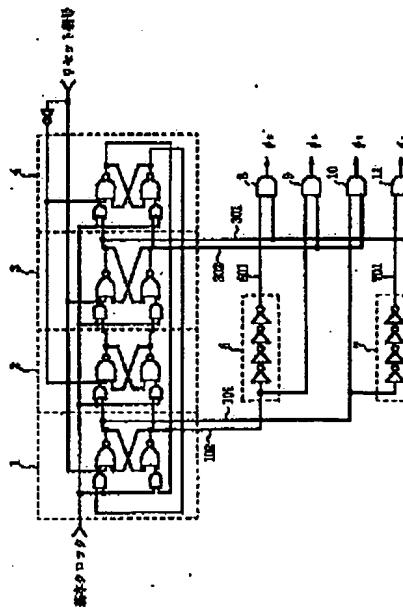
(21)出願番号	特願平4-303433	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)11月13日	(72)発明者	川井 秀一 東京都港区芝五丁目7番1号日本電気株式 会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】多相クロック生成回路

## (57)【要約】

【目的】電源電圧が变っても多相クロックの周期を変え  
ることなく、各位相ごとに異なるクロックパルス幅をもつ  
た多相クロックを生成する。

【構成】基本クロックを入力して分周し、リセット信号  
によりリセットされる従属接続されたFF1~4を有  
し、FF1の出力信号101とFF3の出力信号302  
とをANDゲート10に入力し、その出力信号をクロッ  
ク $\phi_1$ 。とし、FF1の出力信号101を遅延回路7を介  
して遅延させた信号701とFF3の出力信号301と  
をANDゲート11に入力し、その出力をクロック $\phi_2$ 。  
とし、FF1の出力102を遅延回路6を介して遅延さ  
せた信号601とFF3の出力信号301とをANDゲ  
ート8に入力し、その出力信号をクロック $\phi_3$ とする。  
FF1の出力信号102とFF3の出力信号301とを  
ANDゲート9に入力し、その出力信号を $\phi_4$ として多  
相クロック信号を得るように構成する。



(2)

特開平6-152347

1

2

## 【特許請求の範囲】

【請求項1】マイクロコンピュータの任意の周波数の基本クロックを分周したクロックから前記基本クロックの1周期の倍数倍のパルス幅と倍数倍の周期とをもち、且つ前記基本クロックの1周期分ずつ相互に位相がずれた多相クロックを生成する多相クロック生成回路において、前記分周したクロックを所定の時間遅らせる遅延回路を用いて、低電圧動作時においても前記多相クロック全体の周波数を変えることなく、前記多相クロックのうち、隣接する2相クロックの一方のパルス幅を前記遅延回路による遅延時間分だけ広げ、他方のクロックのパルス幅を前記遅延時間分だけ狭める手段を有するとともに、前記マイクロコンピュータの前記多相クロック生成回路および前記遅延回路が同一基板上に形成されることを特徴とする多相クロック生成回路。

【請求項2】前記遅延時間は、前記マイクロコンピュータが前記パルス幅を広げたクロックの期間中に必要とする第1の必要動作時間と前記パルス幅を狭めたクロックの期間中に必要とする第2の必要動作時間との差の時間以内で、且つその差の1/2近辺の時間であることを特徴とする請求項1に記載の多相クロック生成回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は多相クロック生成回路に関するもので、特にマイクロコンピュータ等のデジタル回路に用いられる多相クロックを生成する多相クロック生成回路に関するもの。

【0002】

【従来の技術】従来、この種の多相クロック生成回路は、図5に示す一例の様な回路が用いられていた。

【0003】図5によれば、基本クロックを入力して分周し、リセット信号によりリセットされるフリップフロップ(以下、FFと称す)1~4を有し、FF1の出力信号Q<sub>1</sub> (101)とFF3の出力信号Q<sub>3</sub> (301)をANDゲート10に入力し、その出力信号をクロックφ<sub>1</sub>とする。FF1の出力信号Q<sub>1</sub> (101)とFF3の出力信号Q<sub>3</sub> (301)とをANDゲート11に入力し、その出力信号をクロックφ<sub>1</sub>とする。FF1の出力信号反転Q<sub>1</sub>とFF3の出力信号反転Q<sub>3</sub>とをANDゲート9に入力し、その出力信号をφ<sub>1</sub>として多相クロック信号を得るように構成されていた。

【0004】図6はその従来例の多相クロック生成回路の動作を説明するためのタイミングチャートである。タイミングチャートから判るように、任意の周波数のクロック信号から、その4倍の周期をもったクロックQ<sub>1</sub>、反転Q<sub>1</sub>、Q<sub>3</sub>、反転Q<sub>3</sub>を生成する。それらのクロックから、基本クロックの1周期分と同じパルス幅をもち、且つ基本クロックの1周期分ずつ位相の遅れた4相

のクロックφ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>、φ<sub>4</sub>を生成している。

【0005】次に、多相クロックがハイレベルの期間中に動作する一例として4相クロック動作のマイクロコンピュータに、従来型の、全てのクロックのパルス幅が等しい4相クロックを使用した場合について、実例データに基づいて説明する。

【0006】図7は、相補型MOS(CMOS)で作られたマイクロコンピュータが、φ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>、φ<sub>4</sub>の4相クロック動作の中で、クロックφ<sub>1</sub>とφ<sub>2</sub>の期間中に必要とする動作時間t<sub>1</sub>、t<sub>2</sub>と、そのときの電源電圧との関係をグラフにした一例を示す図である。

【0007】この図7に示すグラフによれば、クロックφ<sub>1</sub>の期間中の必要動作時間t<sub>1</sub>とクロックφ<sub>2</sub>期間中の必要動作時間t<sub>2</sub>との比は、電源電圧が2Vから6Vの間ではほぼ3対2の割合である。しかし、必要動作時間t<sub>1</sub>とt<sub>2</sub>の差分△t<sub>12</sub>、△t<sub>21</sub>について比較すると、電源電圧5Vのときの差分△t<sub>12</sub>が約15nsecであるのに対して、電源電圧2Vのときの差分△t<sub>12</sub>では約70nsecに増加する。つまり、電源電圧5V付近では、4相クロックのパルス幅をクロックφ<sub>1</sub>の必要動作時間t<sub>1</sub>である50nsecに合せたとすると、クロックφ<sub>2</sub>期間ではその必要時間t<sub>2</sub>が約35nsecであるため、クロックφ<sub>2</sub>のパルス幅は約15nsecで済むことになる。

【0008】しかし、電源電圧2V付近では、4クロックのパルス幅をクロックφ<sub>1</sub>期間の必要動作時間t<sub>1</sub>の約200nsecに合せると、クロックφ<sub>2</sub>期間の必要動作時間t<sub>2</sub>は約130nsecであるため、クロックφ<sub>2</sub>のパルス幅は約70nsecとなり、増大することが判る。

【0009】これは、低電源電圧での動作時において、マイクロコンピュータの動作速度が著しく低下する要因の一つになる。

【0010】

【発明が解決しようとする課題】上述した従来の多相クロック生成回路により生成された多相クロックは、電源電圧等の動作条件によらず、各位相毎のクロックのパルス幅は全て等しい。他方、多相クロックを使用するデジタル回路は、一般的に電源電圧を低くした場合等、動作条件によってはそのデジタル回路を動作させるために必要とする各位相毎のクロックのパルス幅は異なってくる。

【0011】しかしながら、従来の多相クロック生成回路では、電源電圧が変ったときに、多相クロック全体のクロック周期を変えずに、位相クロック毎に異なるパルス幅をもつ多相クロックを供給することは出来なかつた。

【0012】本発明の目的は、上述の欠点を除去することにより、多相クロック全体のクロックスピードを変えることなく、隣接する2相のうち、一方のクロックのパルス幅が広く、他方のクロックのパルス幅は狭く設定さ

(3)

特開平6-152347

3

れた多相クロックを生成することにある。

【0013】

【課題を解決するための手段】本発明の特徴は、マイクロコンピュータの任意の周波数の基本クロックを分周したクロックから前記基本クロックの1周期の整数倍のパルス幅と整数倍の周期とをもち、且つ前記基本クロックの1周期分ずつ相互に位相がずれた多相クロックを生成する多相クロック生成回路において、前記分周したクロックを所定の時間遅らせる遅延回路を用いて、低電圧動作時においても前記多相クロック全体の周波数を変えることなく、前記多相クロックのうち、隣接する2相クロックの一方のパルス幅を前記遅延回路による遅延時間分だけ広げ、他方のクロックのパルス幅を前記遅延時間分だけ狭める手段を有するとともに、前記マイクロコンピュータの前記多相クロック生成回路および前記遅延回路が同一基板上に形成されることにある。

【0014】また、前記遅延時間は、前記マイクロコンピュータが前記パルス幅を広げたクロックの期間中に必要とする第1の必要動作時間と前記パルス幅を決めたクロックの期間中に必要とする第2の必要動作時間との差の時間以内で、且つその差の1/2近辺の時間であってもよい。

【0015】

【実施例】次に、本発明について図面を参照して説明する。

【0016】図1は、本発明の第1の実施例を示す回路図であり、図2はその動作を説明するためのタイミングチャートである。

【0017】図1によれば、基本クロックを入力して分周し、リセット信号によりリセットされる從属接続されたFF1～4を有し、FF1の出力信号Q<sub>1</sub> (101)とFF3の出力信号反転Q<sub>1</sub> (302)とをANDゲート10に入力し、その山力信号をφ<sub>1</sub>とする。FF1の出力信号Q<sub>1</sub> (101)を個数個のインバータから成る遅延回路7を介して所定の時間遅延させた信号701とFF3の出力信号Q<sub>1</sub> (301)とをANDゲート11に入力し、その出力信号をφ<sub>2</sub>とする。FF1の出力信号反転Q<sub>1</sub> (102)とFF3の出力信号反転Q<sub>1</sub> (301)とをANDゲート11に入力し、その出力信号をφ<sub>3</sub>として多相クロック信号を得るように構成されている。

【0018】図2は第1の実施例を説明するためのタイミングチャートである。このタイミングチャートから判るように、任意の周波数の基本クロックから、その4倍の周期をもったクロックQ<sub>1</sub> (101)、反転Q<sub>1</sub> (102)、Q<sub>1</sub> (301)、反転Q<sub>1</sub> (302)を用いてパルス幅の異なる4相のクロックφ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>を得る。

4

を得ている。

【0019】次に、本発明の第1の実施例の多相クロック生成回路についてその動作を説明する。

【0020】図1に示すFF1～4に図2に示すタイミングで、リセット信号と基本クロックを入力し、分周されたクロックQ<sub>1</sub> (101)、反転Q<sub>1</sub> (102)、Q<sub>1</sub> (301)、反転Q<sub>1</sub> (302)を得る。更にクロックQ<sub>1</sub> (101)を遅延回路7に入力し、図2に示すタイミングチャートのように基本クロックの1/4周期だけ遅延された信号701を得る。

【0021】このクロックQ<sub>1</sub> (101)と遅延された信号701の論理積をとることによって位相差分(図2のa)だけクロックφ<sub>1</sub>のパルス幅が広くなる(図2のW<sub>1</sub>)。

【0022】一方、クロック反転Q<sub>1</sub> (102)を遅延回路6に入力し、図2に示すタイミングチャートのように基本クロックの1/4周期だけ遅延された信号601を得る。この遅延された信号601とクロックQ<sub>1</sub> (102)の論理積をとることによって位相差分(図2のa)だけクロックφ<sub>2</sub>のパルス幅が狭まることになる(図2のW<sub>2</sub>)。

【0023】クロックφ<sub>1</sub>とφ<sub>2</sub>については、それぞれクロックQ<sub>1</sub> (101)とクロック反転Q<sub>1</sub> (302)の論理積、クロック反転Q<sub>1</sub> (102)とクロック反転Q<sub>1</sub> (302)の論理積によって得られることは従来例と同様である。

【0024】前述したように、それぞれ遅延回路6、7の挿入されたクロックφ<sub>1</sub>とφ<sub>2</sub>の関係は、クロックφ<sub>1</sub>のパルス幅(図2のW<sub>1</sub>)は基本クロックの1/4周期分(図2のa)広くなっている、クロックφ<sub>2</sub>のパルス幅(図2のW<sub>2</sub>)は、基本クロックの1/4周期分(図2のa)狭くなっている。

【0025】次に、4相クロック動作のCMOS構成による1チップマイクロコンピュータに、本発明の多相クロック生成回路を用いた場合の例を、実例データに基づき説明する。

【0026】図7は、1チップマイクロコンピュータのクロックφ<sub>1</sub>とφ<sub>2</sub>の期間中に必要とする必要動作期間t<sub>1</sub>、t<sub>2</sub>と、遅延回路6、7による遅延時間D<sub>t</sub>と、その電源電圧との関係をグラフにした一例である。説明を容易にするために従来例で用いたグラフに遅延時間D<sub>t</sub>を付加してある。

【0027】図7によれば、遅延回路6、7による遅延時間D<sub>t</sub>と、クロックφ<sub>1</sub>とφ<sub>2</sub>の期間中に必要とする必要動作期間t<sub>1</sub>、t<sub>2</sub>との時間の比は、電源電圧によらずほぼ一定であることが判る。すなわちt<sub>1</sub>とt<sub>2</sub>とD<sub>t</sub>との比は、ほぼ6対4対1の割合になっている。

【0028】上述の結果から、本発明の多相クロック生成回路を付加するマイクロコンピュータを最も高速に動作させ得る遅延回路6、7は、クロックφ<sub>1</sub>とφ<sub>2</sub>の期

(4)

特開平6-152347

5

間に必要とする必要動作時間  $t_1$ ,  $t_2$  の時間差  $\Delta t$  の  $1/2$  以上で時間差  $\Delta t$  より小さい遅延時間をもった遅延回路であればよい、ということが判る。

【0029】この遅延回路を用いることにより、マイクロコンピュータが動作可能な電源電圧範囲内で、クロック  $\phi_1$  と  $\phi_2$  の期間中に必要とする必要動作時間  $t_1$ ,  $t_2$  の比に等しいクロックのパルス幅をもつ多相クロックを、電源電圧に対応して自動生成する多相クロック生成回路を得ることが出来る。

【0030】すなわち、本発明の多相クロック生成回路を有するマイクロコンピュータのもつ回路遅延特性と、本発明の多相クロック生成回路内の遅延回路 6, 7 の遅延特性との相似性を用いる利点はここにある。次に、本発明の第2の実施例について説明する。

【0031】図3は第2の実施例の回路図であり、図4はその動作を説明するためのタイミングチャートである。

【0032】第1の実施例と異なるところは、遅延回路 6 を削除し、遅延回路 7 の出力信号  $701$  をインバータ 12 を介してその出力信号  $121$  を ANDゲート 8 の一方の入力信号としたことであり、それ以外は第1の実施例と同様であるので詳細な説明は省略する。第2の実施例は遅延回路を 1 つしか用いないため、実際にマイクロコンピュータを製品化する上でチップサイズ的にも、コスト的にも優れている。

【0033】なお、第1の実施例では遅延回路を  $\phi_1$ ,  $\phi_2$  の生成に適用した例で説明したが、クロック  $\phi_1$ ,  $\phi_2$  を含め多相クロックのそれぞれに適用することも可能であり、第2の実施例も同様である。

【0034】

【発明の効果】以上説明したように本発明の多相クロック生成回路は、低電圧動作時等、条件によって多相クロックの各位相毎のクロックパルス幅をそれぞれ異なるパルス幅にする必要がある場合、本多相クロック生成回路の遅延回路の遅延量を制御することにより、本多相クロック生成回路を内蔵するマイクロコンピュータの動作速度に応じて、クロックのパルス幅を変化させることが可

6

能となる。従って、本回路により生成された多相クロックを使用するマイクロコンピュータ等のデジタル回路を最も高速に動作させ得る多相クロックを供給することが可能となる効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の多相クロック生成回路の回路図である。

【図2】本発明の第1の実施例の動作を説明するためのタイミングチャートである。

【図3】本発明の第2の実施例の多相クロック生成回路の回路図である。

【図4】本発明の第2の実施例の動作を説明するためのタイミングチャートである。

【図5】従来例の多相クロック生成回路の一例を示す回路図である。

【図6】従来例の動作を説明するためのタイミングチャートである。

【図7】CMOS 1チップマイクロコンピュータの回路遅延実例データを示す図である。

20 【符号の説明】

1, 2, 3, 4 フリップフロップ (FF)

101 FF 1 の出力信号  $Q_1$ 102 FF 1 の出力信号反転  $\bar{Q}_1$ 301 FF 3 の出力信号  $Q_3$ 302 FF 3 の出力信号反転  $\bar{Q}_3$ 

6, 7 遅延回路

8, 9, 10, 11 ANDゲート

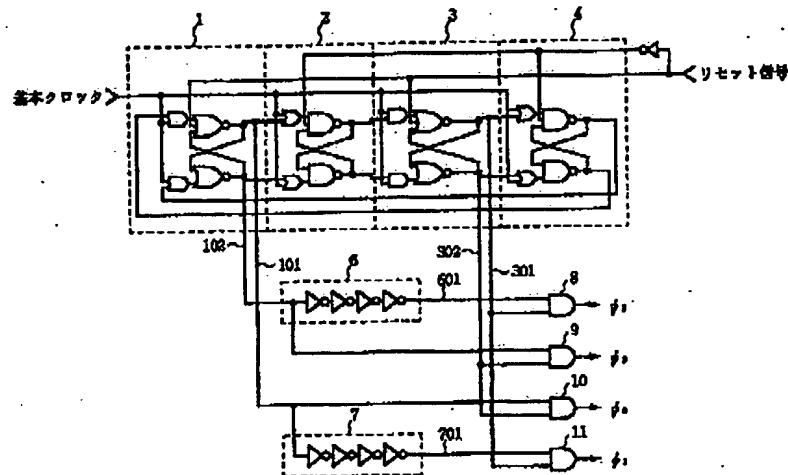
12 インバータ

 $\phi_1, \phi_2, \phi_3, \phi_4$  多相クロック30 D  $t$  遅延回路 6, 7 による遅延時間特性t1 マイクロコンピュータの  $\phi_1$  クロック時間の必要動作時間の特性t2 マイクロコンピュータの  $\phi_2$  クロック時間の必要動作時間の特性 $\Delta t_{12}$  電源電圧 2 V における  $t_1$  と  $t_2$  の必要動作時間の時間差D  $t$  遅延回路 6, 7 による遅延時間の特性

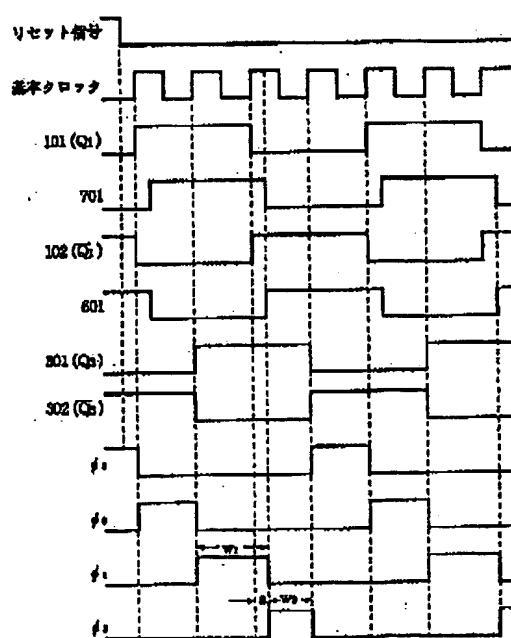
(5)

特開平6-152347

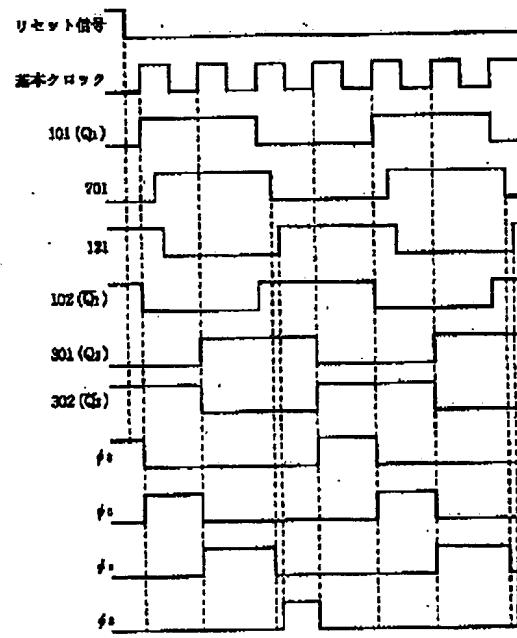
【図1】



【図2】



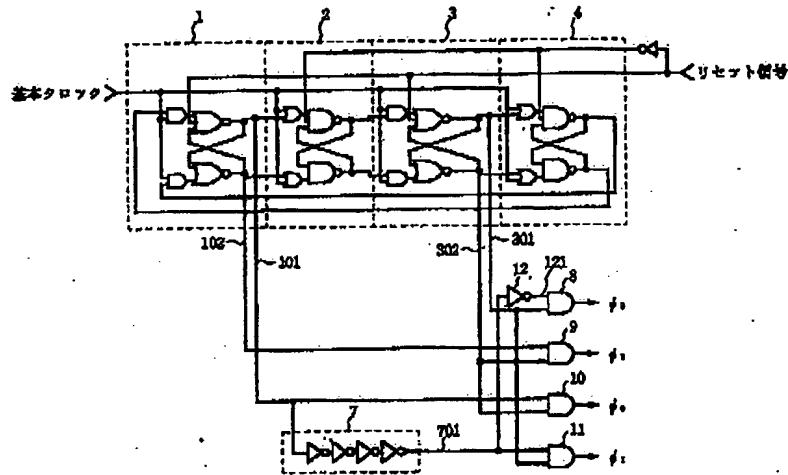
【図4】



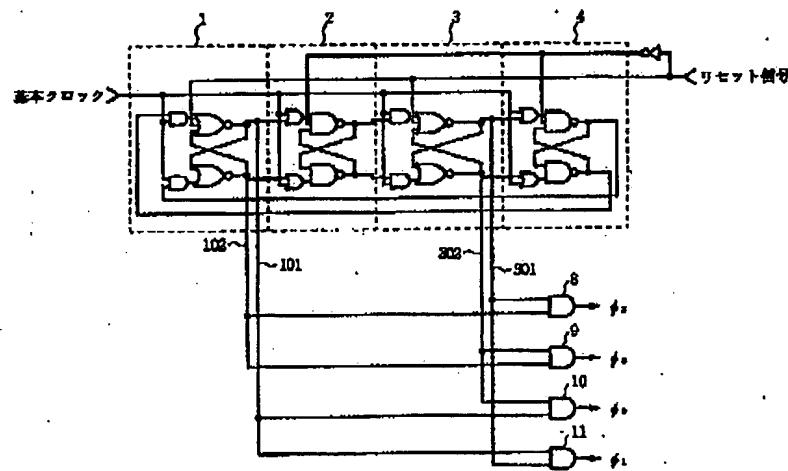
(6)

特開平6-152347

[図3]



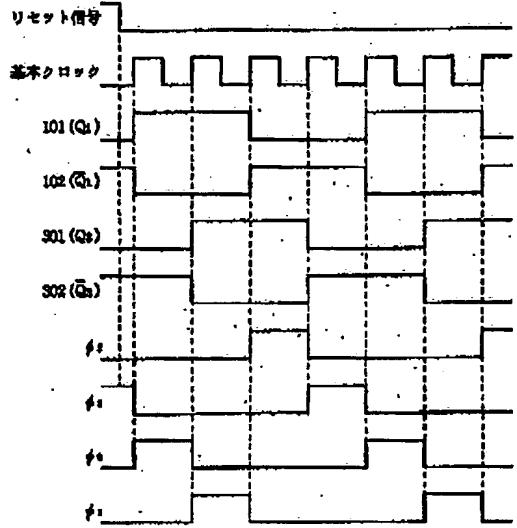
[図5]



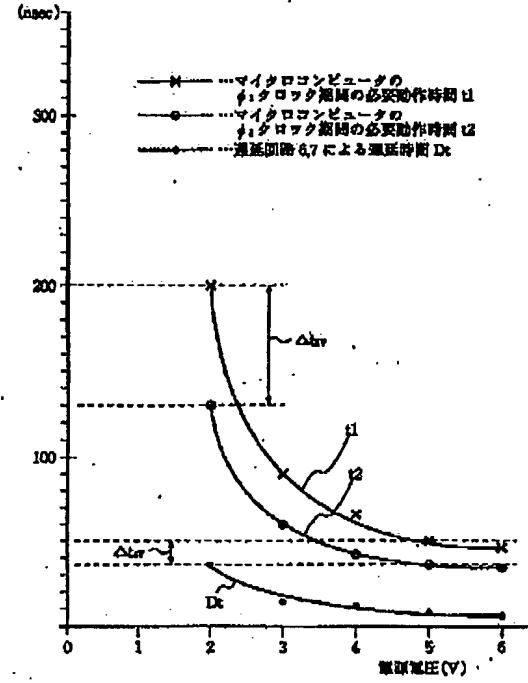
(7)

特開平6-152347

[図6]



[図7]



## フロントページの続き

(S1) Int.CI.<sup>6</sup>  
H 0.3 K 5/13

識別記号

序内整理番号

F I

技術表示箇所

Application No. (if known): Not Yet Assigned

Attorney Docket No.: 20046/0200828-US0

## Certificate of Express Mailing Under 37 CFR 1.10

I hereby certify that this correspondence is being deposited with the United States Postal Service as Express Mail, Airbill No. 2994071691-05 in an envelope addressed to:

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

on February 27, 2004  
Date

  
\_\_\_\_\_  
  
\_\_\_\_\_  
Signature  
\_\_\_\_\_  
Typed or printed name of person signing Certificate

Note: Each paper must have its own certificate of mailing, or this certificate must identify each submitted paper.

Specification (9pp); Claims (2pp); Abstract (1pp);  
Figs. 1-8 (5 sheets);  
Information Disclosure Statement;  
PTO/SB/08a with four documents;  
Return Receipt Postcard;  
Utility Patent Application Transmittal (1 page); and  
Application Data Sheet (2 pages)